

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-081219

(43)Date of publication of application : 02.04.1993

(51)Int.Cl.

G06F 15/16
G06F 15/78

(21)Application number : 03-273228

(71)Applicant : NIPPONDENSO CO LTD

(22)Date of filing : 24.09.1991

(72)Inventor : SUZUKI TAKAO
KAMIYA TOSHIHARU
KAWASAKI KOJI

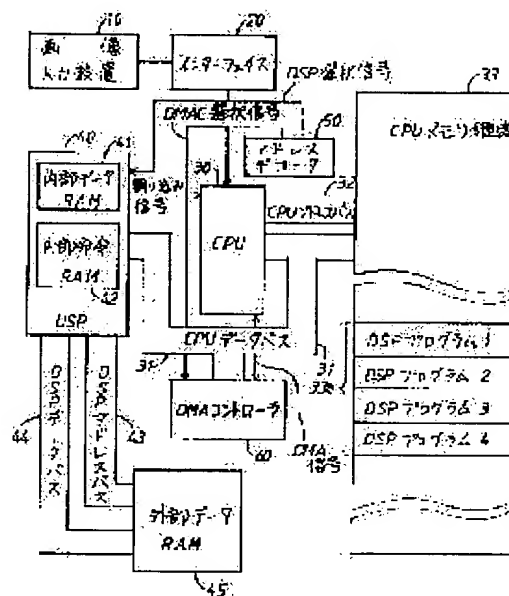
(54) MICROPROCESSOR OPERATION CONTROL DEVICE

(57)Abstract:

PURPOSE: To suppress the transfer of an instruction code in the case of executing the same processing as the preceding one in order to minimize the lowering in a DSP execution speed due to the transfer of the instruction code from a host microprocessor to an internal instruction RAM in a DSP.

CONSTITUTION: A CPU 30 selectively sets up each processing number corresponding to each processing contents of the DSP 40 in an internal data RAM 41 and starts the execution of the DSP 40 in each setting.

When the set processing number in the RAM 41 corresponds to a DSP program number stored in the RAM 42 in each starting, the DSP 40 executes processing contents corresponding to the DSP program number based upon DSP program stored in the RAM 42. When the DSP 40 judges no correspondence, the host microprocessor transfers and stores the DSP program with the program number corresponding to the processing number set up in the RAM 41 to/in the RAM 42.



LEGAL STATUS

[Date of request for examination] 21.04.1998

[Date of sending the examiner's decision of rejection] 31.10.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-81219

(43)公開日 平成5年(1993)4月2日

| | | | | |
|--------------------------|---------|---------|-----|--------|
| (51)Int.Cl. ⁵ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
| G 0 6 F 15/16 | 4 2 0 S | 9190-5L | | |
| 15/78 | 5 1 0 A | 7530-5L | | |

審査請求 未請求 請求項の数1(全 13 頁)

(21)出願番号 特願平3-273228

(22)出願日 平成3年(1991)9月24日

(71)出願人 000004260

日本電装株式会社
愛知県刈谷市昭和町1丁目1番地

(72)発明者 鈴木 隆夫

愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内

(72)発明者 神谷 敏玄

愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内

(72)発明者 川崎 孝二

愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内

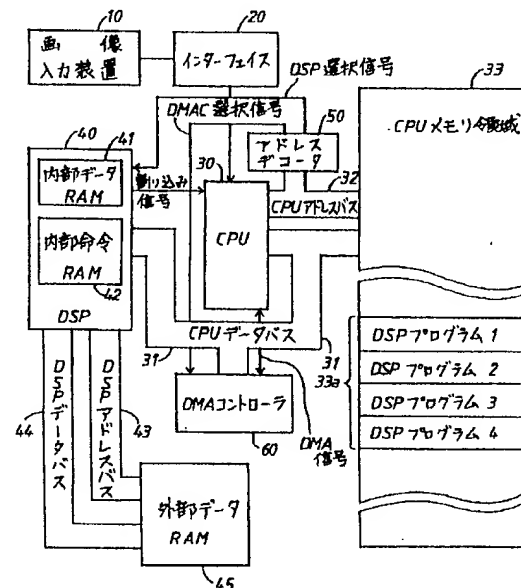
(74)代理人 弁理士 長谷 照一

(54)【発明の名称】 マイクロプロセッサ動作制御装置

(57)【要約】

【目的】 ホストマイクロプロセッサからDSPの内部命令RAMへの命令コードの転送によるDSPの実行速度の低下を最小限に抑えるために、前回と同じ処理を行う場合には命令コードの転送を行わないようにする。

【構成】 CPU30が、DSP40の各処理内容にそれぞれ対応する各処理番号を内部データRAM41に選択的にセットし、このセット毎にDSP40の実行をスタートさせる。このスタート毎に、内部データRAM41内のセット処理番号が内部命令RAM42内のDSPプログラムの番号に対応するとき、DSP40が、内部命令RAM42内のDSPプログラムに基づきこれに対応する処理内容を実行する。DSP40による対応しないとの判別するとき、ホストマイクロプロセッサが、内部データRAM41にセット済みの処理番号に対応するプログラム番号のDSPプログラムを内部命令RAM42に転送記憶させる。



【特許請求の範囲】

【請求項1】 ホストマイクロプロセッサと、内部データRAM及び内部命令RAMを有しスレーブマイクロプロセッサとしての役割を果たすDSPとを備え、

前記ホストマイクロプロセッサが、

前記DSPの複数の処理内容をそれぞれ表す複数のDSPプログラムをその各プログラム番号と共に予め記憶する記憶手段と、

前記DSPの複数の処理内容にそれぞれ対応する各処理番号を前記内部データRAMに選択的にセットする処理

番号セット手段と、
この処理番号セット手段によるセット後前記DSPの実行をスタートさせるスタート手段とを有し、

また、前記DSPが、

同DSPのスタートのもとに前記内部データRAM内のセット処理番号が前記内部命令RAM内のDSPプログラムの番号に対応するか否かにつき判断する判断手段と、

この判断手段の対応するとの判断のとき前記内部命令RAM内のDSPプログラムに基づきこれに対応する処理内容を実行する実行手段とを有し、

また、前記判断手段の対応しないとの判断のとき、前記ホストマイクロプロセッサが、前記内部データRAMにセット済みの処理番号に対応するプログラム番号のDSPプログラムを前記記憶手段から前記内部命令RAMに転送するようにしたマイクロプロセッサ動作制御装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、チップ内部に命令ランダム・アクセス・メモリ（以下、内部命令RAMという）を有し、この内部命令RAMから読みだした命令に従って動作を実行するマイクロプロセッサに係り、特に、当該マイクロプロセッサのうちのデジタルシグナルプロセッサ（以下、DSPという）の命令実行を制御するに適したマイクロプロセッサ動作制御装置に関する。

【0002】

【従来技術】 従来、内部命令RAMを有しスレーブマイクロプロセッサとして機能するDSPにおいては、実行に先立ち、ホストマイクロプロセッサのセントラル・プロセッシング・ユニット（以下、CPUという）がその内蔵メモリから命令コードを読み出しDSPの内部命令RAMに転送するようにしてあるのが通常である。

【0003】

【発明が解決しようとする課題】 ところで、このようなDSPではチップ面積の制約から内部命令RAMの容量が数百ステップに制限されるのが普通である。従って、多くの処理内容を単一のDSPで行う場合には内部命令RAM内の命令コード内容を入れ換えることが必要となるという不具合がある。しかし、DSPの各処理内容の

実行に先だって、毎回、内部命令RAM内の命令コード内容を入れ換えることはDSPの実行速度の低下を招くという不具合がある。また、開発段階でDSPの命令コード或いはプログラム構成を変更すると、CPUもこの変更を把握しないと命令コードの転送ができないため、DSPのプログラム変更に従ってCPUのプログラム変更が必要となるという不具合を生ずる。そこで、本発明は、以上のようなことに対処すべく、マイクロプロセッサ動作制御装置において、ホストマイクロプロセッサからDSPの内部命令RAMへの命令コードの転送によるDSPの実行速度の低下を最小限に抑えるために、前回と同じ処理を行う場合には命令コードの転送を行わないようにするとともに、DSPのプログラムを変更してもホストマイクロプロセッサのプログラムの変更を不要にするようにしようとするものである。

【0004】

【課題を解決するための手段】 上記課題の解決にあたり、本発明の構成は、図1にて例示するごとく、ホストマイクロプロセッサと、内部データRAM及び内部命令RAMを有しスレーブマイクロプロセッサとしての役割を果たすDSPとを備え、前記ホストマイクロプロセッサが、前記DSPの複数の処理内容をそれぞれ表す複数のDSPプログラムをその各プログラム番号と共に予め記憶する記憶手段1と、前記DSPの複数の処理内容にそれぞれ対応する各処理番号を前記内部データRAMに選択的にセットする処理番号セット手段2と、この処理番号セット手段2によるセット後前記DSPの実行をスタートさせるスタート手段3とを有し、また、前記DSPが、同DSPのスタートのもとに前記内部データRAM内のセット処理番号が前記内部命令RAM内のDSPプログラムの番号に対応するか否かにつき判断する判断手段4と、この判断手段4の対応するとの判断のとき前記内部命令RAM内のDSPプログラムに基づきこれに対応する処理内容を実行する実行手段5とを有し、また、判断手段4の対応しないとの判断のとき、前記ホストマイクロプロセッサが、前記内部データRAMにセット済みの処理番号に対応するプログラム番号のDSPプログラムを記憶手段1から前記内部命令RAMに転送するようにしたことにある。

【0005】

【作用】 前記ホストマイクロプロセッサの処理番号セット手段2が、前記DSPの複数の処理内容にそれぞれ対応する各処理番号を前記内部データRAMに選択的にセットすると、このセット毎にスタート手段3が前記DSPの実行をスタートさせる。すると、このスタート毎に、前記DSPの判断手段4が、前記内部データRAM内のセット処理番号が前記内部命令RAM内のDSPプログラムの番号に対応するか否かにつき判断し、実行手段5が、判断手段4の対応するとの判断のとき、前記内部命令RAM内のDSPプログラムに基づきこれに対応

する処理内容を実行する。また、判断手段4の対応しないとの判断のとき、前記ホストマイクロプロセッサが、前記内部データRAMにセット済みの処理番号に対応するプログラム番号のDSPプログラムを記憶手段1から前記内部命令RAMに転送記憶させる。すると、上述と同様の判断手段4による対応するとの判断のもとに、実行手段5が、前記内部命令RAMに転送記憶させたDSPプログラムに基づきこれに対応する処理内容を実行する。

【0006】

【発明の効果】このように、判断手段4の対応しないとの判断がない限り、前記内部命令RAM内のDSPプログラムを入れ換えることなくそのまま使用して実行手段5の実行が行われるので、前記内部命令RAM内のDSPプログラムの入れ換えによるDSPの実行速度の低下を、前記内部命令RAMの容量を増大させることなく、最小限に抑制し得る。また、前記内部命令RAM内のDSPプログラムの入れ換えにあたっては、判断手段4の対応しないとの判断に基づき前記ホストマイクロプロセッサが記憶手段1から前記内部命令RAMへDSPプログラムを転送するのみでよいので、前記ホストマイクロプロセッサのプログラムの変更は不要である。

【0007】

【実施例】以下、本発明の一実施例を図面により説明すると、図2は、本発明が指紋照合システムに適用された例を示している。この指紋照合システムは、画像入力装置10を備えており、この画像入力装置10は、そのイメージセンサの読みとり画面に指紋照合者の指が押し付けられたとき、同指紋照合者の指紋を光学的に読み取り、この読み取り指紋画像を指紋画像出力信号として発生する。インターフェイス20は画像入力装置10からの指紋画像出力信号をホストマイクロプロセッサのCP*

*U30に出力する。CPU30は、インターフェイス20、DSP40及びDMAコントローラ60等との協働により、図3～図6に示すフローチャートに従い主制御プログラム及び割り込み制御プログラムを実行し、この実行中において、指紋照合に必要な演算処理をする。また、CPU30は、メモリ（以下、CPUメモリという）を内蔵しており、このCPUメモリのメモリ領域33（以下、CPUメモリ領域33という）のDSP40に対するDSP命令コード保持領域33aには、4個のDSPプログラム1、2、3及び4が予め記憶されている。なお、上述の主制御プログラム及び割り込み制御プログラムは、CPUメモリ領域33内に予め記憶されている。

【0008】DSP40は、スレーブマイクロプロセッサとしての役割をもち、コミュニケーション領域を有するデータRAM41（以下、内部データRAMという）及び内部命令RAM42を内蔵しており、内部命令RAM42はDSP40の命令内容をデータとして一時的に記憶する。また、DSP40は、図7にて示すフローチャートに従いDSP制御プログラムを実行し、この実行中において、種々の演算処理をしてその各終了によりCPU30に割り込みをかけるとき割り込み信号を発生し同CPU30に出力する。また、DSP40は、DSPアドレスバス43及びDSPデータバス44を介し外部データRAM45へ同外部データRAM45に一時的に記憶させるべくデータを出力する。なお、上述のDSP制御プログラムはDSP40内に予め記憶されている。

【0009】また、DSP40で行う各処理内容の各処理番号と各プログラム番号は、DSP40の各処理内容との関係において、次の表1の通り対応する。

【表1】

| 処理番号 | 処理内容 | プログラム番号 |
|------|------------------|---------|
| 1 | マニユーシャの位置及び方向の計算 | 1 |
| 2 | 疑似マニユーシャ除去 | 2 |
| 3 | 位置ずれ及び回転量の計算 | 2 |
| 4 | アフィン変換 | 3 |

但し、各処理番号1～4は、表1のごとく、DSP40の各処理内容に対し1対1でもって対応する一方、DSP40の各処理内容と各プログラム番号との対応関係は、マニユーシャの位置及び方向の計算と位置ずれ及び回転量の計算との両処理内容に対し単一のプログラム番

号2が対応している。なお、各プログラム番号はDSP命令コード保持領域33aの何番のプログラムにDSP40の各処理内容が入っているかを表す。

【0010】次の表2は、プログラム番号テーブルを表しており、このプログラム番号テーブルにおいては、同

テーブルの上欄から下欄に向けて表1のプログラム番号が処理番号順に入っている。但し、このプログラム番号テーブルは、DSP40の内部データRAM41に記憶*

*されている。

【表2】

| オフセットアドレス | テーブル内容 |
|-----------|--------|
| 1 | 1 |
| 2 | 2 |
| 3 | 2 |
| 4 | 3 |

【0011】次の表3は、DSP40のコミュニケーション領域にセットされる各データを表すもので、これら各データは、DSP40とCPU30との間で受け渡しされる。

| |
|--------------|
| 処理番号 |
| 終了フラグ |
| プログラム変更要求フラグ |
| プログラム番号 |

【0012】アドレスデコーダ50は、CPU30がDSP40にアクセスする必要を有するとき同CPU30からのアクセス指令をデコードしDSP選択信号としてDSP40に出力する。また、このアドレスデコーダ50は、CPU30がダイレクト・メモリ・アクセス・コントローラ50（以下、DMAコントローラ60という）にアクセスするとき同CPU30からのアクセス指令をデコードしDMA選択信号としてDMAコントローラ60に出力する。DMAコントローラ60は、アドレスデコーダ50からのDMA選択信号及びCPU30からのDMA信号に応答してCPU30からCPUデータバス31を通しDSP40の内部データRAM41及び内部命令RAM42へ必要なデータを転送する。

【0013】以上のように構成した本実施例において、本発明システムを作動状態におけば、CPU30が、図3～図5のフローチャートに従い主制御プログラムの実行をステップ100にて開始する。現段階において、画像入力装置10から指紋画像出力信号がインターフェイス20に出力されておれば、CPU30が、ステップ101にて、同インターフェイス20から同指紋画像出力信号を入力される。すると、CPU30が、ステップ102にて、同指紋画像出力信号の値を二値化して指紋の隆線山画像を作成し、ステップ103にて、同隆線山画

像を反転して指紋の隆線谷画像を作成し、ステップ104にて、ステップ102における隆線山画像を細線化し、かつ、ステップ105にて、DSP40の処理内容のうちマニユーシャの位置及び方向の計算に対応する処理番号1を、DSP40の内部データRAM41のコミュニケーション領域内にセットして主制御プログラムを次のステップ106に進める。

【0014】このようにして主制御プログラムがステップ106に進むと、CPU30が、DSP40をスタートさせ、次のステップ107にて、ステップ103における隆線谷画像を細線化し、ステップ110にて「NO」との判別を繰り返す。また、上述のようにDSP40をスタートさせると、DSP40が、図7のフローチャートに従い、DSP制御プログラムの実行を、ステップ300にて開始する。ついで、DSP40が、次のステップ310にて、内部データRAM41のコミュニケーション領域内にセット済みの処理番号1を読み出してDSP制御プログラムをステップ320に進める。

【0015】しかして、ステップ310にて読み出した処理番号1が、内部命令RAM42に転送済みのDSPプログラムで実行できる処理番号と一致しない場合には、DSP40が、ステップ320にて「NO」と判別し、ステップ350にて、内部データRAM41内のプログラム番号テーブルを参照し、ステップ310にて読み出し済みの処理番号1に対応するプログラム番号1を内部データRAM41のコミュニケーション領域にセットし、かつ、ステップ360にて、プログラム変更要求フラグを前記コミュニケーション領域にセットしてDSP制御プログラムをステップ370に進める。

【0016】このようにしてDSP制御プログラムがステップ370に進むと、DSP40がCPU30に割り込みをかける。すると、CPU30が、主制御プログラムの実行を中止して図6のフローチャートに従い割り込み制御プログラムの実行をステップ200にて開始し、かつステップ210にて、終了フラグのセットの有無をチェックする。現段階において、上述のようにステップ

320における「NO」との判別のもとに終了フラグがセットされないため、CPU30が、ステップ210における未終了との判定のもとに、ステップ230にて、プログラム変更要求フラグのセットの有無をチェックする。このとき、上述のようにステップ360にてプログラム変更要求フラグがセットされているため、CPU30が、ステップ230にて、プログラム変更要求ありとの判定をし、ステップ250にて、内部データRAM41のコミュニケーション領域からプログラム番号1を取得する。

【0017】しかして、プログラム番号1で指定されたDSPプログラムをDSP40の内部命令RAM42に転送すべく、CPU30が、ステップ260にて、アドレスデコーダ50からDMAC選択信号をDMAコントローラ60に出力させると、このDMAコントローラ60が、CPU30のCPUメモリ領域33におけるDSP命令コード保持領域33aからDSPプログラム1を読み出して内部命令RAM42に転送して新たに記憶させる。ついで、CPU30が、ステップ270にて、DSP40をスタートさせ、次のステップ280にて、割り込み制御プログラムの実行を終了する。

【0018】上述のようにステップ270にてDSP40をスタートさせると、同DSP40が、図7のフローチャートに従いDSP制御プログラムの実行をステップ300にて開始し、ステップ310にて内部データRAM41のコミュニケーション領域内の処理番号1を読み出す。現段階にては、上述のように読み出した処理番号1が内部命令RAM42にステップ260にて転送済みのDSPプログラムに対応するため、DSP40が、ステップ320にて「YES」と判別し、内部命令RAM42内に転送済みのDSPプログラム1に基づき、ステップ330にて、ステップ104における隆線山画像細線化結果に基づき、マニユーシャの位置及び方向を計算する処理を実行し、ステップ340にて、終了フラグを内部データRAM41のコミュニケーション領域にセットし、かつ、ステップ370にて、CPU30に割り込みをかける。

【0019】このため、CPU30が、上述と同様に割り込み制御プログラムの実行を開始し、ステップ210にて、ステップ340における終了フラグのセット済みのもとに、終了と判定し、かつ、ステップ220にて割り込み制御プログラムの実行を終了する。然る後、CPU30が、主制御プログラムのステップ110にて、ステップ340における終了フラグのセットに基づき「YES」と判別し、ステップ111にて、疑似マニユーシャ除去の処理番号2を内部データRAM41のコミュニケーション領域にセットし、かつ、次のステップ112にてDSP40をスタートさせ、かつ、ステップ120にて「NO」との判別を繰り返す。

【0020】上述のようにステップ112にてDSP4

0をスタートさせると、DSP40が、図7のフローチャートに従い、DSP制御プログラムのステップ310にて、内部データRAM41のコミュニケーション領域内にセット済みの処理番号2を読み出してDSP制御プログラムをステップ320に進める。しかして、現段階にては、ステップ310にて読み出した処理番号2が、内部命令RAM42に転送済みのDSPプログラムで実行できる処理番号1と一致しないため、DSP40が、ステップ320にて「NO」と判別し、ステップ350にて、内部データRAM41内のプログラム番号テーブルを参照し、ステップ310にて読み出し済みの処理番号2に対応するプログラム番号2を内部データRAM41のコミュニケーション領域にセットし、かつ、ステップ360にて、プログラム変更要求フラグを前記コミュニケーション領域にセットしてDSP制御プログラムをステップ370に進めCPU30に割り込みをかける。

【0021】このようにしてCPU30に割り込みをかけると、CPU30が、主制御プログラムの実行を中止して図6のフローチャートに従い割り込み制御プログラムの実行に移行し、ステップ210にて、上述のようなステップ320における「NO」との判別のもとに、未終了と判定し、ステップ230にて、上述のようなステップ360におけるプログラム変更要求フラグのセットに基づき、プログラム変更要求ありとの判定をし、ステップ250にて、内部データRAM41のコミュニケーション領域からプログラム番号2を取得する。しかして、プログラム番号2で指定されたDSPプログラムをDSP40の内部命令RAM42に転送すべく、CPU30が、ステップ260にて、アドレスデコーダ50からDMAC選択信号をDMAコントローラ60に出力させると、このDMAコントローラ60が、CPU30のCPUメモリ領域33におけるDSP命令コード保持領域33aからDSPプログラム2を読み出して内部命令RAM42に転送して新たに記憶させる。ついで、CPU30が、ステップ270にて、DSP40をスタートさせ、次のステップ280にて、割り込み制御プログラムの実行を終了する。

【0022】このようにステップ270にてDSP40をスタートさせると、同DSP40が、図7のフローチャートに従いDSP制御プログラムを実行し、ステップ310にて、内部データRAM41のコミュニケーション領域内の処理番号2を読み出す。現段階にては、上述のように読み出した処理番号2が内部命令RAM42にステップ260にて転送済みのDSPプログラムに対応するため、DSP40が、ステップ320にて「YES」と判別し、内部命令RAM42内に転送済みのDSPプログラム2に基づき、ステップ330にて、上述のマニユーシャの位置及び方向の計算結果に基づき疑似マニユーシャ除去の処理を実行し、ステップ340にて、終了フラグを内部データRAM41のコミュニケーション

ン領域にセットし、かつ、ステップ370にて、CPU30に割り込みをかける。このため、CPU30が、上述と同様に割り込み制御プログラムの実行を開始し、ステップ210にて、ステップ340における終了フラグのセット済みのもとに、終了と判定し、かつ、ステップ220にて割り込み制御プログラムの実行を終了する。

【0023】然る後、CPU30が、主制御プログラムのステップ120にて、ステップ340における終了フラグのセットに基づき「YES」と判別し、ステップ121にて、位置ずれ及び回転量計算のための処理番号3を内部データRAM41のコミュニケーション領域にセットし、かつ、次のステップ122にてDSP40をスタートさせ、かつステップ130にて「NO」との判別を繰り返す。このようにステップ122にてDSP40をスタートさせると、DSP40が、図7のフローチャートに従い、DSP制御プログラムのステップ310にて、内部データRAM41のコミュニケーション領域内にセット済みの処理番号3を読み出してDSP制御プログラムをステップ320に進める。

【0024】現段階にては、上述のように読み出した処理番号3が内部命令RAM42にステップ260にて転送済みのDSPプログラムに対応するため、DSP40が、ステップ320にて「YES」と判別し、内部命令RAM42内に転送済みのDSPプログラム2に基づき、ステップ330にて、上述のマニユーシャの位置及び方向の計算結果に基づき、位置ずれ及び回転量を計算する処理を実行し、ステップ340にて、終了フラグを内部データRAM41のコミュニケーション領域にセットし、かつ、ステップ370にて、CPU30に割り込みをかける。このため、CPU30が、上述と同様に割り込み制御プログラムの実行を開始し、ステップ210にて、ステップ340における終了フラグのセット済みのもとに、終了と判定し、かつ、ステップ220にて割り込み制御プログラムの実行を終了する。

【0025】然る後、CPU30が、主制御プログラムのステップ130にて、ステップ340における終了フラグのセットに基づき「YES」と判別し、ステップ131にて、アフィン変換の処理番号4を内部データRAM41のコミュニケーション領域にセットし、かつ、次のステップ132にてDSP40をスタートさせ、かつ、ステップ140にて「NO」との判別を繰り返す。このようにステップ132にてDSP40をスタートさせると、DSP40が、図7のフローチャートに従い、DSP制御プログラムのステップ310にて、内部データRAM41のコミュニケーション領域内にセット済みの処理番号4を読み出してDSP制御プログラムをステップ320に進める。

【0026】現段階にては、上述のように読み出した処理番号4が内部命令RAM42にステップ260にて転送済みのDSPプログラムに対応しないため、DSP4

0が、ステップ320にて「NO」と判別し、ステップ350にて、内部データRAM41内のプログラム番号テーブルを参照し、ステップ310にて読み出し済みの処理番号4に対応するプログラム番号3を内部データRAM41のコミュニケーション領域にセットし、かつ、ステップ360にて、プログラム変更要求フラグを前記コミュニケーション領域にセットしてDSP制御プログラムをステップ370に進め、CPU30に割り込みをかける。

【0027】すると、CPU30が、主制御プログラムの実行を中止して図6のフローチャートに従い割り込み制御プログラムを実行し、ステップ210にて、上述と同様に未終了と判定し、ステップ230にて、上述のようなステップ360におけるプログラム変更要求フラグのセットに基づき、プログラム変更要求ありとの判定をし、ステップ250にて、内部データRAM41のコミュニケーション領域からプログラム番号4を取得する。しかして、プログラム番号4で指定されたDSPプログラムをDSP40の内部命令RAM42に転送すべく、CPU30が、ステップ260にて、アドレスデコーダ50からDMAC選択信号をDMAコントローラ60に出力させると、このDMAコントローラ60が、CPU30のCPUメモリ領域33におけるDSP命令コード保持領域33aからDSPプログラム4を読み出して内部命令RAM42に転送して新たに記憶させる。ついで、CPU30が、ステップ270にて、DSP40をスタートさせ、次のステップ280にて、割り込み制御プログラムの実行を終了する。

【0028】上述のようにステップ270にてDSP40をスタートさせると、同DSP40が、図7のフローチャートに従いDSP制御プログラムを実行し、ステップ310にて内部データRAM41のコミュニケーション領域内の処理番号4を読み出す。現段階にては、上述のように読み出した処理番号4が内部命令RAM42にステップ260にて転送済みのDSPプログラムに対応するため、DSP40が、ステップ320にて「YES」と判別し、内部命令RAM42内に転送済みのDSPプログラム4に基づき、ステップ330にて、上述の位置ずれ及び回転量計算結果に基づきアフィン変換の処理を実行し、ステップ340にて、終了フラグを内部データRAM41のコミュニケーション領域にセットし、かつ、ステップ370にて、CPU30に割り込みをかける。

【0029】このため、CPU30が、上述と同様に割り込み制御プログラムの実行を開始し、ステップ210にて、ステップ340における終了フラグのセット済みのもとに、終了と判定し、かつ、ステップ220にて割り込み制御プログラムの実行を終了する。然る後、CPU30が、ステップ140にて、上述と実質的に同様に「YES」と判別し、ステップ150にて、指紋照合者

の登録指紋画像とアフィン変換後の照合指紋画像とのパターンマッチングを行い、ステップ160にて、同パターンマッチング結果に基づき、登録指紋画像と照合指紋画像との一致不一致を判定する。但し、上述の登録指紋画像はCPU30のCPUメモリ領域に予め記憶されている。

【0030】以上説明したように、指紋照合者の指紋照合にあたり、上述のようなCPU30とDSP40との協働による演算処理過程において、疑似マニューシャ除去の処理と位置ずれ及び回転量の計算の処理とが上述のように続くときは、主制御プログラムにおけるステップ111～ステップ122の演算処理並びにDSP制御プログラムの実行を通じ、ステップ330における各疑似マニューシャ除去の処理と位置ずれ及び回転量の計算の処理とを、内部命令RAM42内のDSPプログラム2を変更することなくそのまま維持した上で実行するので、内部命令RAM42へのDSPプログラムの入れ換え回数を最小限に抑制させることができ、その結果、内部命令RAM42の容量を最小限にしつつDSP40の実行速度を向上させ得る。かかる場合、内部命令RAM42内のDSPプログラムの入れ換えはCPU30のプログラムの変更を必要としない。また、主制御プログラムのステップ104における隆線山画像の細線化処理後、ステップ106にてスタートしたDSP40によりステップ330における隆線山画像のマニューシャ位置及び方向計算をしながら、CPU30における隆線谷画像の細線化を並行処理するので、CPU30及びDSP

40の協働による実行処理速度を向上させることができる。

【0031】なお、本発明の実施にあたり、DMPコントローラ60を利用しない場合には、CPU30からのI/Oリード・ライトでもDSP40側へのアクセスを行うことができる。また、本発明の実施にあたっては、指紋照合システムに限ることなく、DSP及びホストCPUを備えた各システムに本発明を適用して実施してもよい。

【図面の簡単な説明】

【図1】 特許請求の範囲の記載に対する対応図である。

【図2】 本発明を適用した指紋照合システムのブロック図である。

【図3】 図2のCPUにより実行すべき主制御プログラムのフローチャートの前段部である。

【図4】 同主制御プログラムのフローチャートの中段部である。

【図5】 同主制御プログラムのフローチャートの後段部である。

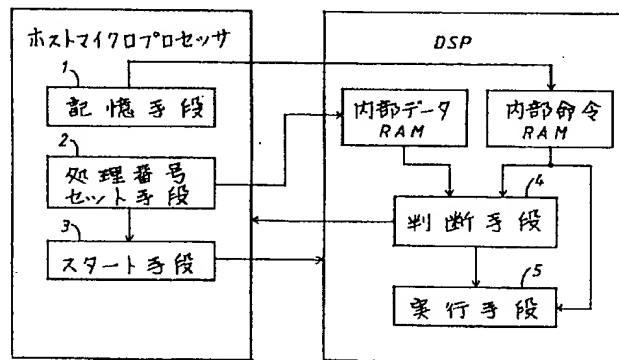
20 【図6】 図2のCPUにより実行すべき割り込み制御プログラムのフローチャートである。

【図7】 図2のDSPにより実行すべきDSP制御プログラムのフローチャートである。

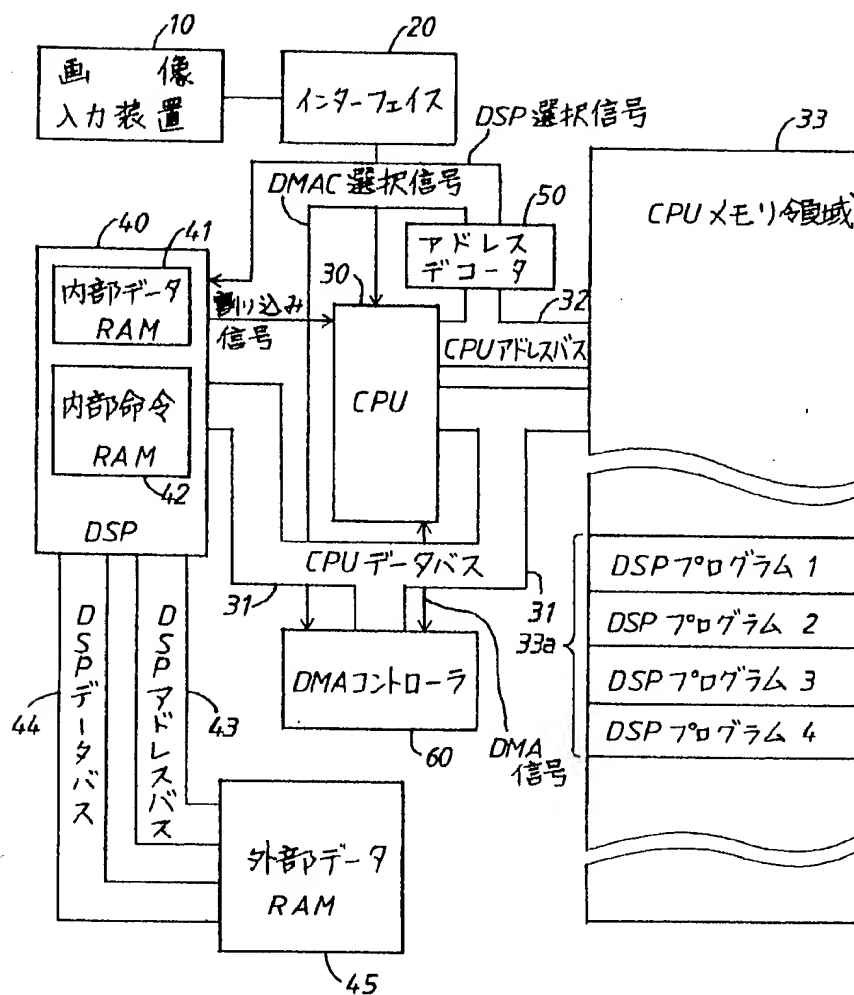
【符号の説明】

30…CPU、33…CPUメモリ領域、40…DSP、41…内部データRAM、42…内部命令RAM。

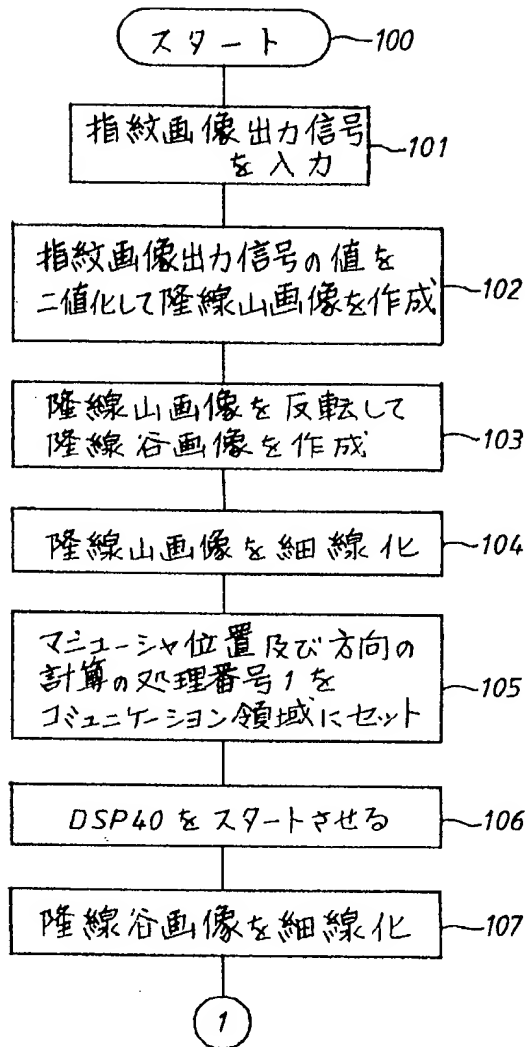
【図1】



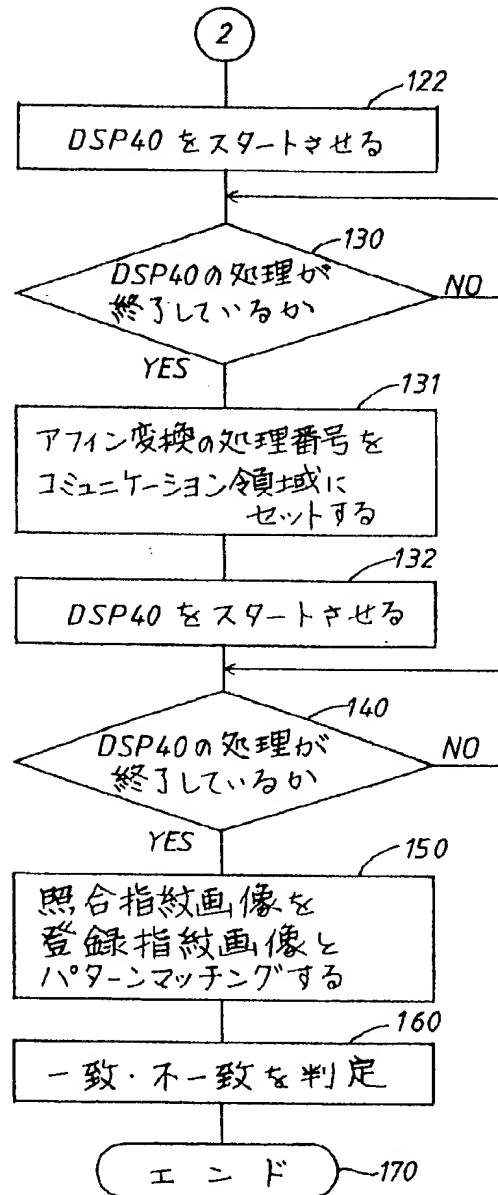
【図2】



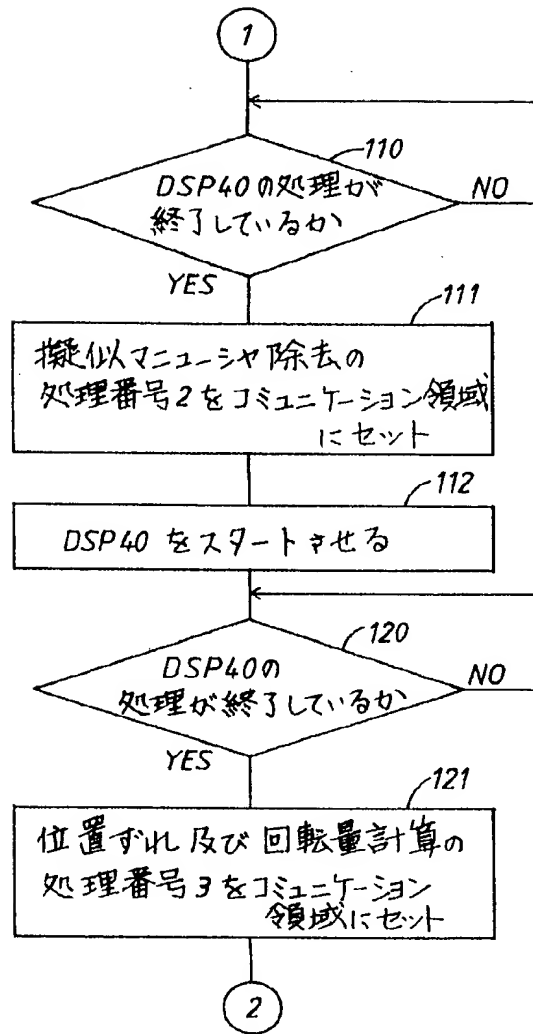
【図3】



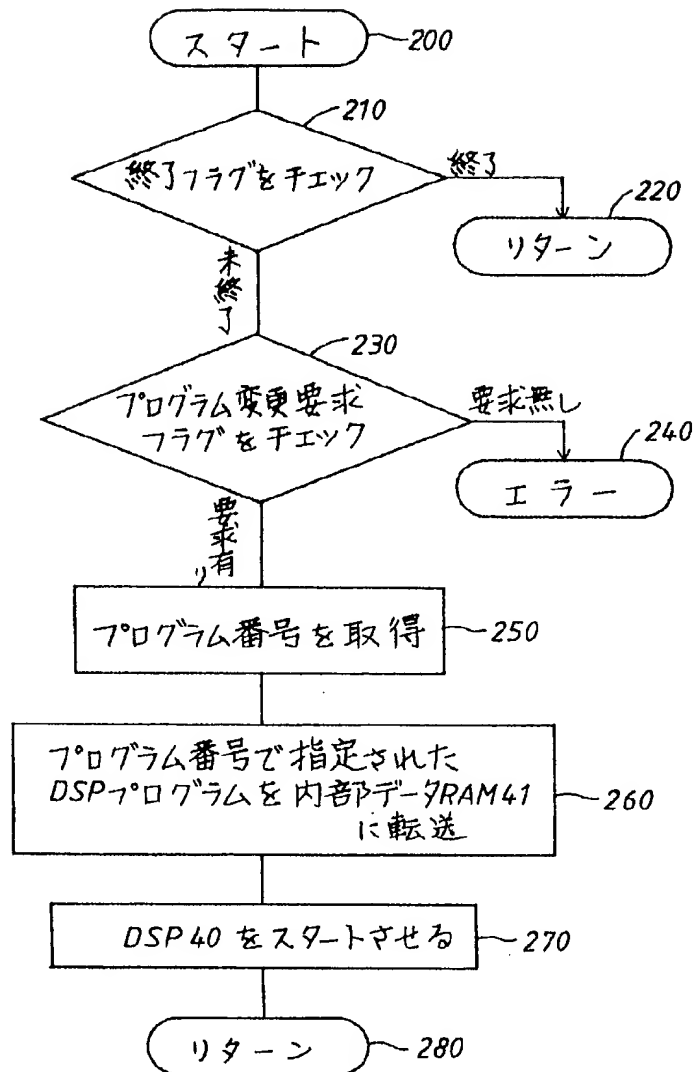
【図5】



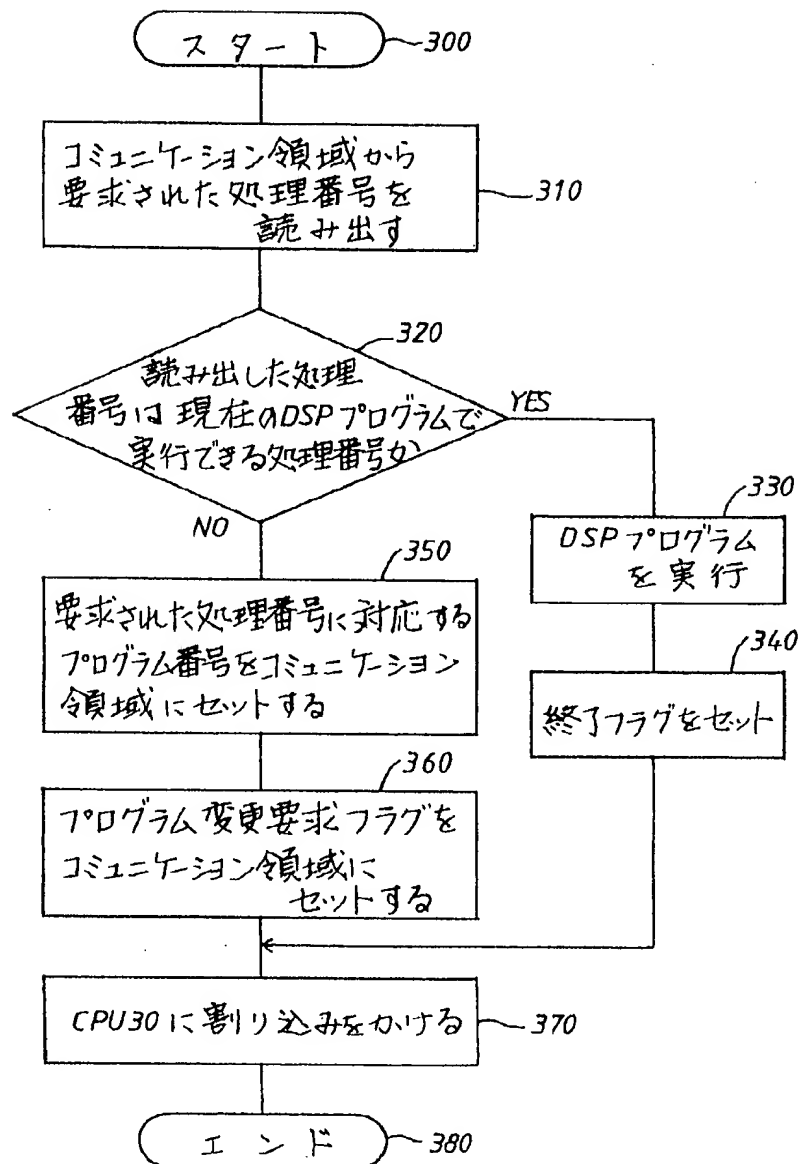
【図4】



【図6】



【図7】



【手続補正書】

【提出日】平成3年11月22日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正内容】

【0011】次の表3は、DSP40のコミュニケーション領域にセットされる各データを表すもので、これら各データは、DSP40とCPU30との間で受け渡しされる。

【表3】

* *

| |
|--------------|
| 処理番号 |
| 終了フラグ |
| プログラム変更要求フラグ |
| プログラム番号 |